



(19)

(11) Publication number: **20022690**

Generated Document.

PATENT ABSTRACTS OF JAPAN(21) Application number: **2001066706**(51) Intl. Cl.: **G06F 13/362 G06F 15/78**(22) Application date: **09.03.01**

(30) Priority: (43) Date of application publication: 20.09.02 (84) Designated contracting states:	(71) Applicant: TOSHIBA CORP (72) Inventor: YAMAZAKI SUSUMU (74) Representative:
--	--

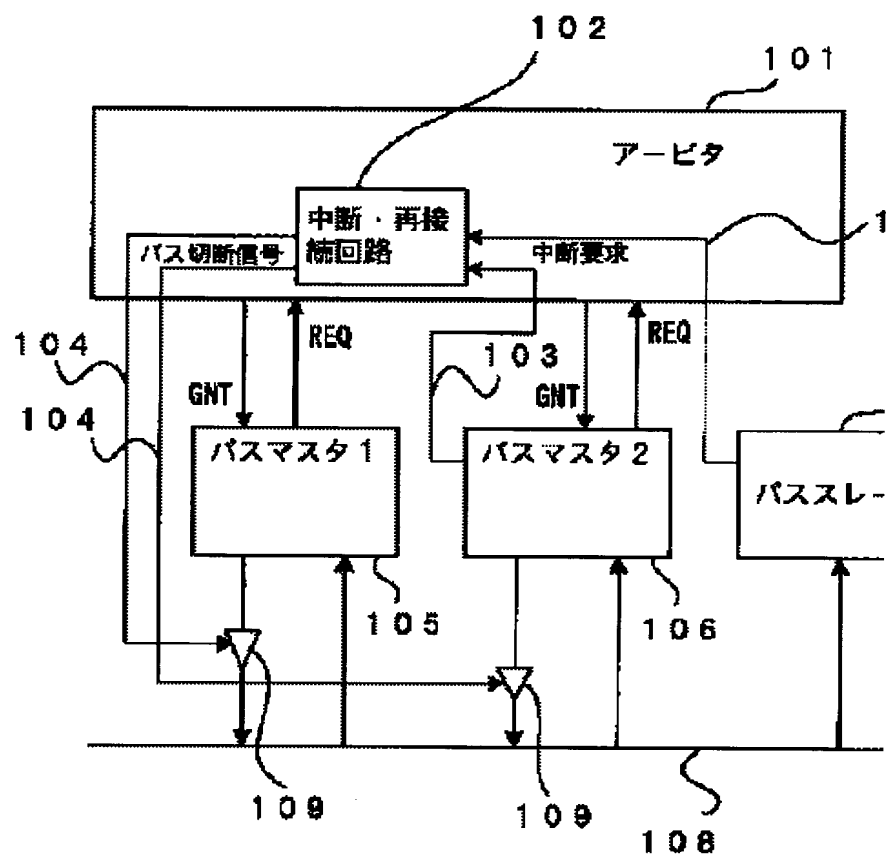
**(54) BUS SYSTEM USING
ARBITER HAVING RETRY
CONTROL FUNCTION AND
SYSTEM LSI**

(57) Abstract:

PROBLEM TO BE SOLVED: To provide a bus system having a retry control function for an arbiter controlling the use right of a bus in the computer system of a bus connection system and to provide system LSI.

SOLUTION: In the bus system, a plurality of bus masters 105 and 106 and a bus slave 107 generating a bus cycle interruption request are connected to a common bus 108. When the arbiter 101 controlling the use right of the bus 108 receives the interruption request 103 from the bus slave 107, the connection of the bus master (105, for example) obtaining the bus 108 and the bus 108 is interrupted and cut, and another bus master (106, for example) and the bus 108 are connected. When the use of the bus by the other bus master 106 is terminated, the interrupted bus master 105 and the bus 108 are reconnected.

COPYRIGHT: (C)2002,JPO



(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2002-269033

(P2002-269033A)

(43)公開日 平成14年9月20日(2002.9.20)

(51)Int.Cl. ⁷	識別記号	F I	テ-マ-ト*(参考)
G 0 6 F 13/362	5 2 0	G 0 6 F 13/362	5 2 0 B 5 B 0 6 1
15/78	5 1 0	15/78	5 1 0 G 5 B 0 6 2

審査請求 未請求 請求項の数4 O L (全 6 頁)

(21)出願番号 特願2001-66706(P2001-66706)

(22)出願日 平成13年3月9日(2001.3.9)

(71)出願人 000003078

株式会社東芝

東京都港区芝浦一丁目1番1号

(72)発明者 山崎 進

東京都青梅市末広町2丁目9番地 株式会

社東芝青梅工場内

(74)代理人 100083161

弁理士 外川 英明

Fターム(参考) 5B061 BA01 BB13 FF01

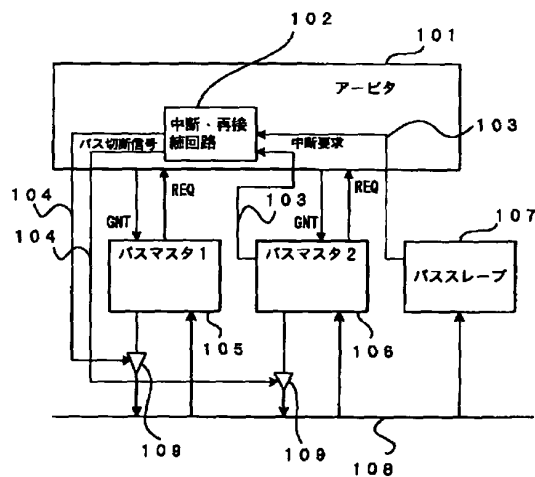
5B062 AA10 DD08 DD10

(54)【発明の名称】 リトライ制御機能を有するアービタを用いたバスシステムおよびシステムLSI

(57)【要約】

【課題】 バス接続方式の計算機システムにおいて、バスの使用権制御を司るアービタにリトライ制御機能を持たせたバスシステム、およびシステムLSIを提供する。

【解決手段】 複数のバスマスタ105、106と、バスサイクル中断要求を発生するバススレーブ107とが共通のバス108に接続されるバスシステムにおいて、前記バス108の使用権制御を行うアービタ101が前記バススレーブ107から前記中断要求103を受けた場合、前記バス108を取得しているバスマスタ(例えば105)と前記バス108との接続を中断して切断する。そして、他のバスマスタ(例えば106)と前記バス108との接続を行い、前記他のバスマスタ106によるバス使用が終了した段階で前記中断したバスマスタ105と前記バス108との再接続を行うことを特徴とする。



【特許請求の範囲】

【請求項1】 複数のバスマスタと、バスサイクル中断要求を発生するバススレーブとが共通のバスに接続されたバスシステムにおいて、

前記バスの使用権制御を行うアービタが前記バススレーブから前記中断要求を受けた場合、前記バスを取得しているバスマスタと前記バスとの接続を中断して切断し、他のバスマスタと前記バスとの接続を行い、前記他のバスマスタによるバス使用が終了した段階で前記中断したバスマスタと前記バスとの再接続を行うことを特徴とするリトライ制御機能を有するアービタを用いたバスシステム。

【請求項2】 少なくともバスサイクル中断・再接続機能を持たない第1、第2のバスマスタと、バスサイクル中断要求機能を持つバススレーブが共通バスに接続されたシステムLSIにおいて、

前記バススレーブからのバスサイクル中断要求を受信して、アクセス中のバスマスタを前記共通バスから切断する機能を持ったアービタを設けたことを特徴とするシステムLSI。

【請求項3】 前記アービタが前記バススレーブからバスサイクル中断要求を受信した時、前記共通バスを取得している第1のバスマスタと前記共通バスとの接続を一時中断して切断し、前記第2のバスマスタと前記共通バスとの接続を行い、前記第2のバスマスタによるバス使用が終了した段階で前記第1のバスマスタと前記共通バスとの再接続を行うことを特徴とする請求項2記載のシステムLSI。

【請求項4】 前記第1又は第2のバスマスタが、CPU又はDMAコントローラで構成され、前記バススレーブがPCIホストブリッジコントローラで構成されることを特徴とする請求項2又は3記載のシステムLSI。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、バス接続方式の計算機システムにおいて、バスの使用権制御を司るアービタにリトライ制御機能を持たせたバスシステム、およびシステムLSIに関する。

【0002】

【従来の技術】従来のリトライ機能を持ったバスシステムの構成図を図4に示す。図3において、共通バス401には、複数のバスマスタ402、403と、バススレーブ404が接続されている。バスマスタ402、403はリトライ機能を有するバスマスタである。アービタ405は、バスマスタ402、又は403から共通バス401を取得するためのクエスト信号REQ406が入力されると、優先度等に応じて1つのバスマスタ（例えば、バスマスタ402）にグラント信号GNT407を返して、共通バス401の使用を許可する。バスマスタ402は共通バス401に接続される他のスレーブ（例

えば、メモリやI/Oコントローラ等）をアクセスしてデータ処理を実行し、処理が終了すると共通バス401を開放する。

【0003】上記したバスマスタの内、バスマスタ403は、共通バス401を取得してバスサイクルを起こすもので、バススレーブ機能も有している。一方、バスマスタ402は、バスマスタ403と異なりバススレーブ機能は有していない。このバスマスタ402および403は、自分がバスサイクルを実行中にバスサイクル識別回路209からの中断要求信号410が入力されると、一旦共通バス401を開放して、後で同じサイクルを再起動（リトライ）するためのバスサイクル中断・再接続回路408を有している。

【0004】バススレーブ404は、バスサイクル受付時や実行時に共通バス401のサイクルの中断を要求する機能と、リード時にサイクルを中断してリードデータの準備を継続する遅延リード時に、再接続時のサイクルが、実行中のリードと同一のアクセスによるものかを判断する機能を持つバスサイクル識別回路409を有する。また、バスマスタ403もバススレーブ404と同様なバスサイクル識別回路409を有する。

【0005】上述の回路構成を有する従来のリトライ機構を持つバスシステムでは、バススレーブ404又はスレーブ機能を有するバスマスタ403のバスサイクル識別回路409からバスサイクルの中断要求信号410が発行されると、バスサイクルを開始していたバスマスタ402又は403は、中断・再接続回路408によってバスサイクルを一旦中断し、共通バス401を開放した後で、再び共通バス401を取得して同じバスサイクルを再実行している。一方、バスサイクル中断要求を行うバススレーブ404又はスレーブ機能を有するバスマスタ403は、遅延リードを行うときに、バスサイクル識別回路409によって中断しようとするリードサイクルを記憶して、再接続が可能となるように保持しておく。

【0006】遅延リードとは、例えばバスマスタ403が要求したリードサイクルを実行中に、共通バス401上のリードサイクルを一旦中断してバスを開放させ、その間にリードを続行してリードデータを用意しておくことにより、一旦、そのリードサイクルを中断されたバスマスタ403が再度同じリードアクセスをしてきた時に、すぐにリードデータを返せるようにする方法である。遅延リードを行うことにより、リード要求からリードデータを返すまでに長い時間がかかる場合でも、リード中にずっと共通バス401を占有（一時開放する）することがないことから、共通バス401の使用効率を向上させることが出来る。

【0007】しかし、開放後の再接続の処理において、バスマスタ403では、中断・再接続回路408内に中断するリード要求のアドレスやリードサイズ等を記憶しておいて、再接続時にその記憶させていた情報と比較し

て、自分が中断したリードであることを判断することが行なわれる。しかし、中断中に全く同じリード要求が他のバスマスタ402から起きた場合は、バススレーブ404では、どのバスマスタからのアクセスであるかの識別が出来ないため、本来要求していたバスマスタ403ではなく、後から同じ要求を出したバスマスタ402に、リードしたデータを返してしまう現象が発生する問題がある。

【0008】

【発明が解決しようとする課題】上述したように、従来のリトライ機能を有するバスシステムでは、各バスマスタにバスサイクルの中断・再接続するための回路を設ける必要がある。また、リトライをサポートするバススレーブには、バスサイクルの中断を要求する機能と、再接続時に同一バスサイクルかを識別する機能を有するバスサイクル識別回路を設ける必要がある。また、本来要求していたバスマスタではなく、後から同じ要求を出したバスマスタに対し、リードしたデータを返してしまうなどの問題があった。

【0009】本発明は上記した問題を解決するためになされたもので、バスマスタに中断・再接続回路や、バススレーブにサイクル識別回路を設けることなく、バスアービタに中断・再接続回路を設けることで、リトライ機能を実現するバスシステムおよびシステムLSIを提供することを目的とする。

【0010】

【課題を解決するための手段】上記目的を達成するために、本発明のリトライ制御機能を有するアービタを用いたバスシステムは、複数のバスマスタと、バスサイクル中断要求を発生するバススレーブとが共通のバスに接続されたバスシステムにおいて、前記バスの使用権制御を行うアービタが前記バススレーブから前記中断要求を受けた場合、前記バスを取得しているバスマスタと前記バスとの接続を中断して切断し、他のバスマスタと前記バスとの接続を行い、前記他のバスマスタによるバス使用が終了した段階で前記中断したバスマスタと前記バスとの再接続を行うことを特徴とする。

【0011】また、本発明のシステムLSIは、少なくともバスサイクル中断・再接続機能を持たない第1、第2のバスマスタと、バスサイクル中断要求機能を持つバススレーブが共通バスに接続されたシステムLSIにおいて、前記バススレーブからのバスサイクル中断要求を受信して、アクセス中のバスマスタを前記共通バスから切断する機能を持ったアービタを設けたことを特徴とする。

【0012】本発明によれば、バスの使用権を管理するバスアービタに、バススレーブからの中断要求を受けて共通バスを切断する機能と、中断（切断）された要求を要求先に再接続する機能を持たせることにより、

(1) 従来のリトライ機構をもつバスシステム又はシス

テムLSIのバスマスタからバスの切断、再接続論理を削除し、論理量を削減することが出来る。

(2) リトライ機構をもたないバスシステム又はシステムLSIの全てのバスマスタに、リトライ機構を増設する代わりに、システムに唯一存在するアービタにバスリトライ機構を持たせることにより容易にリトライ機構を実装することが出来る。

(3) 中断要求を出すバススレーブから遅延リード時に、中断するリード要求を再接続時に識別するための記憶論理を削除して、論理量を削減することが出来る。

(4) アービタがシステム全体を監視することにより、中断したリードを再接続時に誤識別して、別のマスタと再接続してしまうことを防止することが出来る。

【0013】

【発明の実施の形態】以下、図面を参照して本発明の実施形態を説明する。図1は、本発明が適用されるバスシステムの第1の実施形態を示す図である。

【0014】本発明によって提供されるアービタ101には、内部に中断・再接続回路102が設けられている。中断・再接続回路102は中断要求を出力するバススレーブ107、又はスレーブ機能を有するバスマスタ106から中断要求信号103が入力されると、これに応答してバス切断信号104をバスマスタ105、106と共通バス108との間に設けられているゲート109に出力する。これにより、バスマスタ105、又は106と共通バス108とが切断される。アービタ101は、この他にバスマスタ105、106からのリクエスト信号REQの受信に応答して、バス108の使用を許可するグラント信号GNTを出力する機能や、通常のバス使用権制御の機能等を有している。また、アービタ101内の中断・再接続回路102によって、バス108の中断・再接続をコントロールしていることから、バス108を効率良く使用することが出来る。即ち、従来のような本来要求していたバスマスタではなく、後から同じ要求を出したバスマスタに対し、リードしたデータを返すような現象は発生しない。

【0015】図2は、図1のバスシステムをLSI上に展開した第2の実施形態の構成を示す。即ち、図2はCPU、DMA、PCIバスコントローラのバスマスタ、バススレーブを有するシステムLSIの構成図を示している。

【0016】CPU201は、システムを制御する演算制御装置であり、図1のバスマスタ105に相当する。DMAC202はDMA機能を有するDMAコントローラであり、図1のバスマスタ106に相当する。PCIC203はシステムLSI内部のローカルバス205とLSI外部のPCIバス208とを接続するPCIホストブリッジコントローラであり、図1のバススレーブ107に相当する。アービタ204は、中断・再接続回路206を有し、PCIC203から中断要求のRETR

Y信号207を受信すると、バスマスタ(CPU201、又はDMAC202)とローカルバス205との接続を切断(中断)する信号208をバスマスタのローカルバスとの間のゲート209に出力するもので、図1のアービタ101に相当する。

【0017】また、アービタ204はCPU201、DMAC202からローカルバス205の使用を要求するリクエスト信号REQ0又はREQ1を受信すると、CPU201又はDMAC202へ使用許可信号GNT0又はGNT1を返すバス使用权を制御する機能を有している。

【0018】次に、図3のタイミング図を用いて、CPU201がローカルバス205を使用してPCIC203と交信中に、PCIC203からアービタ204にバスサイクル中断要求であるRETRY信号207が出力され、バス使用中のCPU201をローカルバス205から切断後、再接続までの動作を説明する。

【0019】図3において、先ず、CPU201からアービタ204にバスリクエストREQ0が出力されると、アービタ204はローカルバス205が空いているとするとバス使用許可信号GNT0をCPU201に返す。このバス使用許可信号GNT0を受信したCPU201は、ローカルバス上にHAVEIT信号、BSTART信号(バススタート信号)を出力すると共に、ゲート209を介して必要な命令、データ等をPCIC203に出力する。PCIC203は、更にPCIB208に接続される他のスレーブ装置との間でデータの書き込み或いは読み出し等を実行する。

【0020】PCIC203にはタイマ210が内蔵されていて時間監視を行っており、ローカルバス205を所定時間アクセスしていないと判断した場合には(例えば、データの読み出し等で時間が掛かる場合)、ローカルバス205を開放させるよう中断要求であるRETRY信号207をアービタ204の中断・再接続回路206に出力する。また、PCIC203はPCIB208側からアクセス要求を受けた場合も同様に、RETRY信号207をアービタ204の中断・再接続回路206に出力することもある。

【0021】このRETRY信号207を受信したアービタ204の中断・再接続回路206は、再スタートの条件を保持した状態で、CPU201とローカルバス205を切断(中断)すべくゲート209にバス切断信号208を出力する。

【0022】一方、DMAC202からその前にバスリクエストREQ1が出力されていたと想定すると、アービタ204は直ちにDMAC202に対しバス使用許可信号GNT1を返す。DMAC202から同様にHAVEIT信号、BSTART信号が出力され、これによりローカルバス205はDMAC202によって占有され、ローカルバス205上の他の装置(図示せず)とデータ処理

が実行される。DMAC202と他の装置とのデータ処理が終了すると、他の装置からACK信号がDMAC202に返され、DMAC202はこのACK信号を受信するとバスリクエスト信号REQ1の出力を停止する。

【0023】バスリクエスト信号REQ1が停止したことにより、アービタ204はDMAC202に対するバス使用許可信号GNT1の出力を停止すると共に、CPU201に対するバス使用許可信号GNT0を再び出力し、また、PCIC203に対しRESTRAT(再スタート)信号211を出力する。

【0024】このRESTART信号211を受信したPCIC203は、中断・再接続回路206からの信号により中断直前の状態に戻し、CPU201とのデータ処理を再開する。全てのデータ処理が完了するとPCIC203からACK信号がCPU201に出力され、これによりCPU201はローカルバスアクセスを停止するように動作する。

【0025】

【発明の効果】本発明によれば、バスマスタにバスの切断・再接続回路をそれぞれ持たせることなく、アービタに切断・再接続回路を1つ設けるだけで良いので、回路量を小さくできる。また、リトライ機構を持たないバスシステムにリトライ機構を持たせる場合、アービタに切断・再接続回路を付加するだけで良いので容易に実現できる。また、リトライを行うバススレーブにバスサイクル識別回路が不要のため、回路量を小さくできる。また、遅延リード時に元のリード要求元以外にリードデータを誤って渡す現象が発生しない効果がある。

【図面の簡単な説明】

【図1】本発明が適用されるバスシステムの第1の実施形態の構成を示す図である。

【図2】図1のバスシステムをLSI上に展開した第2の実施形態の構成を示す。

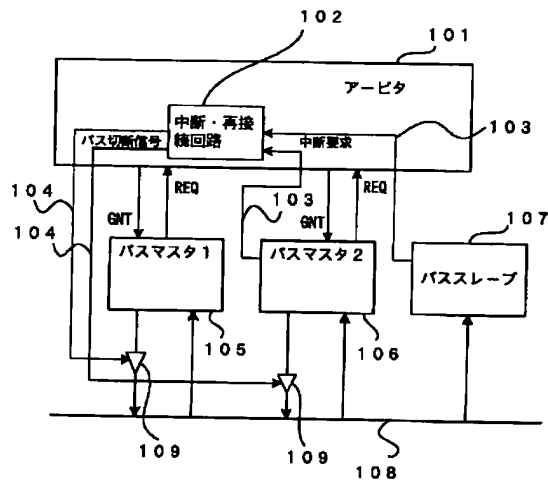
【図3】図2に示すシステムLSIの動作タイミングを示す図。

【図4】従来のバスシステムの構成を示す図。

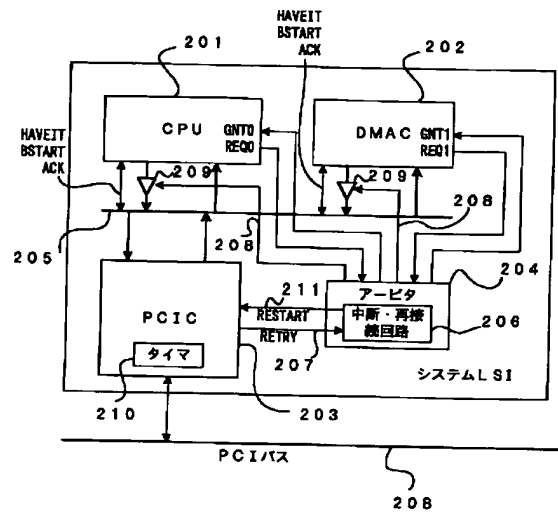
【符号の説明】

101、204…アービタ
102、206…中断・再接続回路
105、106…バスマスタ
107…バススレーブ
108…共通バス
109、209…ゲート
201…CPU
202…DMAC
203…PCIC
205…ローカルバス
208…PCIBバス
210…タイマ

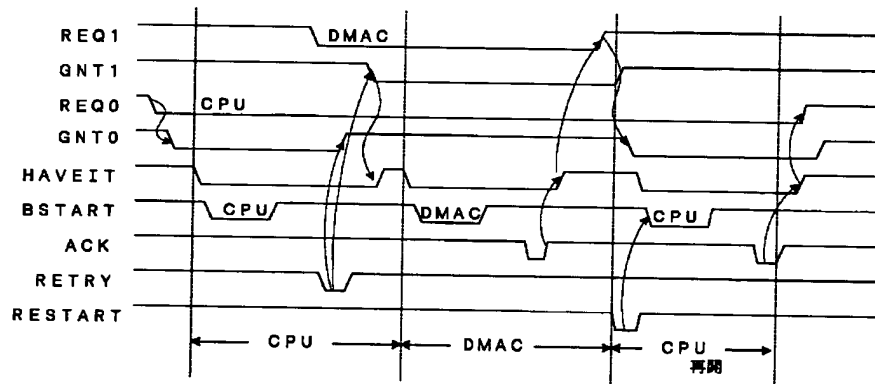
【図1】



【図2】



【図3】



【図4】

